



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04017374 A

(43) Date of publication of application: 22.01.2021

(S1) INT. CI

H011 29/84

6011 9/04

(21) Application number: B2120698

(71) Applicant FUJI ELECTRIC CO LTD

(22) Date of filing: 10.05.90

(72) Inventor: SAKAI TOSHIAKI

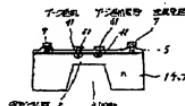
(54) SEMICONDUCTOR PRESSURE SENSOR

(57) Abstract:

PURPOSE: To prevent scratches on the upper surface of a device while preventing the failure of bonding at the bottom to a support base by distributing a specific number of projections, taller than electrodes to be connected to gauge resistors and device regions, in the vicinity of a semiconductor substrate.

CONSTITUTION: A diaphragm 2 and gags resistors 41 are formed on the upper side of a silicon chip 1 that has a recess 3 on the other side. On the upper side, each resistor 41 is connected with an electrode 61 through a window in an oxide film, and at least three projections 7 are provided in chip border areas. The projections 7 are taller than the electrodes 61 and in contact with the chip surface on their bottom.

COPYRIGHT: (C)1992-JPQ&Japan



◎日本国特許庁 (JP) ◎特許出願公開
◎公開特許公報 (A) 半4-17374

5. Int. Cl.
H 01 L 29/84
G 01 I 9/04

識別記号 B 2104-4M
101 9009-2F

◎公開 平成4年(1992)1月22日

審査請求 未認定 領域の第2 (分4回)

◎発明の名称 半導体感圧電子

◎特 願 平2-120606
◎出 願 平2(1990)5月10日

◎発明者 酒井 利明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

◎出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

◎代理人 井理人 山口 勝

明細書

◎発明の名称 半導体感圧電子

乙説明書請求の範囲

1) 基本構造に凹部を有する半導体素体の表面側の第1基準型の層は第二基準型のゲージ抵抗らしくは第2基準型のゲージ抵抗および第一あるいは第二基準型の仕様を有する電子部品を有するものにおいて、半導体素体周辺部の表面裏面にゲージ抵抗および電子部品に接続される電極より高い少なくとも3倍の突起が分散して設けられたことを特徴とする半導体感圧電子。

2) 半導体素体の裏面側の凹部の周囲の部分が右端と左端を含むそれよりてあって、右端が前記周囲部分と電気的に接続されることを特徴とする請求項1記載の半導体感圧電子。

3. 発明の特徴的な説明

(裏面からの利用分野)

本発明は、自動車の乗入負担の検定、特別の大気量測定、水圧測定、医療用心電図の測定などに用途に用いられるもので、半導体素体のダイヤフ

ラム部に設けたゲージ抵抗におけるピエゾ抵抗効果により圧力を電気信号に変換する半導体感圧電子に関する。

【技術の説明】

半導体感圧電子の半導体素体は、圧力により変形する薄いダイヤフラムとそのダイヤフラム部に形成された複数個のゲージ抵抗とを有する。第2図はそのような構造を示す。図2シリコンチップ1にはダイヤフラム2を張りて凹部3が形成され、ダイヤフラム2にはブリッジを構成する複数のU型ゲージ抵抗4が形成されている。このチップ1の凹部3と反対側の裏面5は酸化膜5に覆って被覆され、その酸化膜5の一部で電極6がゲージ抵抗4に接続し、外端回路との接続を可能にしている。また、最近の動向としては、ダイヤフラム2を有する半導体チップに、玉露型のゲージ抵抗やほかに、増幅回路、補償回路などの付属回路をICプロセスにより実装した小形、薄型の裏面電子部品へと作り替わる。第3図はセンサ用の半導体チップを示し、半導体チップ1の

特開平4-17374(2)

図2が形成されるU型基板11の上に、分離層12を複数枚でU型スピナチャル層13が堆積され、そのエピチャル層の上に分離層14で分離された基板に、ゲージ抵抗41が、また別の分離された基板に付属基板のための電子抵抗42が形成されている。そして既存の試験膜5の芯部では、その電子抵抗42に電子電極6が接続している。そして電極51, 62は底面形成酸化膜51により保護されている。ゲージ抵抗41の底端部あるいは回路もないが電子抵抗42の底端部はこの保護膜より露出し、ボンディングワッタを形成している。

このような底面電子の半導体チップを互換するために、パリエックスガラスなどの台座の上にチップを接着面合により固定して底コート化を図ることが行われる。

(先例が解決しようとする問題)

第2回に不すどうな半導体チップの作成には、裏面側からのゲージ抵抗41の形成のための淀積酸化工程、裏面側からの回路42の形成のためのスクラッチング工程が必要である。また、第3回に示すよう

な半導体チップの作成には、そのほかに裏面側から電子抵抗42が底のためのIC微細工芸が必要である。このため、チップの素材であるシリコンウエーハは、裏面、裏面反対より表面かられる。そして、脚部3の形成工程では、エニーハード裏面膜を下向きにして搬送ベルト上で搬送したり、ナックルシリカたりするため、ゲージ抵抗41あるいは電子抵抗42が形成される裏面側のままで不満の発生が多いという問題がある。また、底面電子の半導体チップをパリエックスガラスなどの台座と接着面合する立地工程では、チップ側に止、台座側に裏の側で例えば 800 V の電圧の印加を必要とするが、この場合もチップ裏面側のままで不良発生の問題、あるいはチップ裏面に絶縁膜があるため底面用の電極への接続不良による接合不良の発生の問題があった。

本発明の目的は、上述の問題を解決し、ゲージ抵抗、裏面電子電子抵抗の形成されず裏面側への引き不足の発生、あるいは裏面側への台座との接着面合する際の接合不良の発生のおそれなく取扱

うことのできる半導体基板を有する半導体装置を提供することにある。

(課題を解決するための手段)

上記の目的を達成するためには、裏面側に回路を有する半導体装置の裏面側の第一構造膜の裏に第一電極のケーブル端からしくは第二構造膜のゲージ抵抗および第一あるいは第二構造膜の付属回路電子抵抗を有する半導体基板電子において、上述回路側面部の前記裏面上にゲージ抵抗および電子抵抗に接続される電極より高い少なくとも3個の天端が分散して設けられたものとする。さもなくとも、そのような半導体裏面電子の半導体基板の裏面側の回路の周囲の部分が分割と称せられるものである。天端が回路周囲部分と反対側に接続されると電極であるものとする。

(作用)

半導体基板のケーブル端および電子抵抗に接続される電極より高い天端が3個以上、裏面の周囲に分布して設けられているため、そのような天端の存在する裏面を下団にしてチップ化したり、搬

送したりなどしても、天端がチップあるいは搬送ベルトなどの覆い面に接触し、その裏面の内側にある部分は接触する確率が減少するので、ヨドの発生が防止できる。また静電吸合場合には、半導体装置本体の接合される部分と電気的に接続された電極を3個以上、半導体基板の裏面の周囲部に他の電極より高く設けられることにより、静電吸合のために電圧を印加する電源装置台上にその電極を接続させて実験すれば、その裏面の内側にある部分は又静止に捕捉されることなく、ヨドの発生が抑制できると共に、電圧印加のための接続が簡単に行われる。

(実施例)

以下、第1回、第2回と共通の部分に同一の符号を付した図を引用して本実施のいくつかの実施例について説明する。第1回に示した実施例では、第2回と同様にダイヤフラム部2が上りゲージ抵抗41を形成したシリコンチップ1や回路3と反対側中間に、被覆膜5の芯部で、接続用の電極6がゲージ抵抗41に接続するかと裏面天端7が回

特開平4-17374(3)

図4個用でチャップ1に接続している。金属突起7の高さは電極1の高さより高い。そして下端がチャップ1の裏面に密着することにより高い摩擦係数をもっている。図4回は、別の実施例で、第1、第2回と同様に、半導体チャップにゲージ部底面から形成したチャップ1その他の平面凹部および他の断面図で示し、チャップ表面を硬化膜5、炭素化膜51を貫通し、炭化膜6、表面炭化膜51を貫通し、変形膜52の芯部に露出する電極61にポンディングパッド81が固着している。金属突起7は、下端がチャップ面に密着し、電極61と同様に硬化膜5、表面炭化膜51を貫通し、変形膜52の芯部で露出する部分71に固定している。また図にパッド81と金属突起7との部分の接触を示し、金属突起7の上には炭化膜5の厚い部分50が形成されている。その結果、金属突起7とポンディングパッド81との間に凹部が生ずる。トはチャップの大きさに応じて適度に選ばれる。この形状がもたらすため、半導体チャップ1の電極61からの力を下にして面近ベルトに取せた場合、金属

突起7がベルトに接触し、ゲージ抵抗41のある部分はベルトに押付することはない。

第5回、第7回は第3回と同様に形成基板の裏側された1C型半導体部注釈子の中厚体アッパーを示し、第6回の実施例では、金属突起の役をする電極63は接続基板71を介して、分離層14に接触し、チャップの下部基板11に電気的に接続される。そしてこの電極63と電子電極62の端部間に形成されるボンディングパッド82と中间には炭化膜5の厚い部分50に蓄積する段差が形成されている。第7回の実施例では、そのような段差が導線71の上に形成されたパンタ電極64を高くすることにより形成される。

第8回は、第6、第7回に示した実施例の金属突起の役をする基板接続電極63を許可料合場のシリコンチャップ1への接続を備として利用する状態を示す。すなわち、下部電極21の上にシリコングリップ1を取せ、さらにその上にペイシングスグラムよりなる台座22、上部電極23を重ね、図示しないが下部電極21を加熱体の上に置せてチャップを

300~500℃で加熱し、上、下電極間に電圧24により800V程度の差電圧を印加すると、チャップ1の面と台座22の面との間に30~40%の力が発生し、昇温後24が行われる。この場合、電極63はチャップ上の絶縁膜より高く、また分離層を経て図7回の基板部分に電気的に接続されているので、電圧の印加は確実に接合不良が生れない。

(発明の効果)。

本発明によれば、半導体電圧子の半導体高体の凹部と対称側半導体周辺部に内側に存在する電極よりも高い突起を分散して形成し、支持面にその突起が接触するよう寸法することにより、前述ベルトなどと接触する場合の半導体の個別抵抗への接触が避けられ、さざやの損傷の発生による特性劣化がなくなる。また、その突起の役を凹部の周囲部分に電気的に接続される電極に受けさせることにより、その周囲部分と台座との静電結合を行いうための電圧印加の接続手段として用いることが可能で、他の部分より高い接触不良の発生がなく、静電擾乱の信頼性を高めることができるもの。

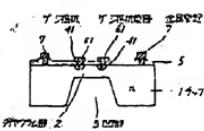
4. 図面の筋目と指標

第1回は本発明の一実施例の構造の断面図、第2回は従来の電子部品図、第3回は従来の前の電子部品図、第4回は本発明の他の実施例の電子部子を示し、そのうち4回は平面図、6回は断面図、第5回は第4回の電子部子の一部は大断面図、第6回、第7回は本発明のさらにも異なる実施例の電子部子それぞれの断面図、第8回は本発明による電子の使用例を示す断面図である。

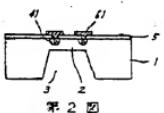
- 1:シリコンチャップ、2:ダイヤフラム部、3:開閉、41:ゲージ抵抗、42:電子導通、61:ゲージ抵抗電極、62:電子導通、63:接続接続電極、64:パンタ電極、71:金属突起、72:導体、81:82:ボンディングパッド。

代理人登録番号 山口一

特開平4-17374 (4)



第1図



第2図

